

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-146655

(43)Date of publication of application : 06.06.1997

(51)Int.Cl.

G06F 1/10

(21)Application number : 07-281512

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 30.10.1995

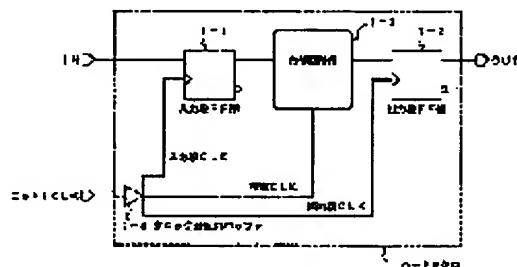
(72)Inventor : AKUTSU SHIGEMASA  
OKAMOTO YASUSHI  
TAKAHASHI NORIAKI

## (54) CLOCK DISTRIBUTING METHOD

## (57)Abstract:

PROBLEM TO BE SOLVED: To minimize the delay difference of clock signal from a peripheral circuit by distributing the clock signal at the section of input to a hard macro corresponding to respective circuit parts so as not to generate any signal delay difference.

SOLUTION: The circuit of hard macro 1 is divided into three sections of input step FF part 1-1, output step FF part 1-2 and internal circuit part 1-3 having the function of hard macro 1. Then, the clock for input step, clock for output step and clock for internal circuit are distributed to three sections corresponding to the input step FF part 1-1, output step FF part 1-2 and internal circuit part 1-3 so that the signal delay difference can not be generated at a buffer 1-4 for clock distribution when the clock signal is inputted to the hard macro 1. Thus, the delay difference of clock signal from the peripheral circuit can be minimized.



## LEGAL STATUS

[Date of request for examination] 27.01.1999

[Date of sending the examiner's decision of rejection] 20.11.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

---

## CLAIMS

---

### [Claim(s)]

[Claim 1] The clock distribution approach characterized by constituting so that the inside of a hard macro may be divided into the part of an input stage, the part of an output stage, and the internal-circuitry part that have the function of a hard macro as a means for making the signal differential delay of a hard macro and its circumference circuit section into min, a clock signal may be made to correspond with said each circuit part so that a signal differential delay may not arise in the input part to a hard macro and it may distribute.

[Claim 2] The clock distribution approach according to claim 1 characterized by dividing the number of input terminals of a clock so that it may become an input step and an output step, and the number of fan-outs of equivalent extent at an input step, an output step, and the internal-circuitry section with many fan-outs, preparing a clock terminal, and using the property of a clock tree.

[Claim 3] The clock distribution approach according to claim 1 characterized by dividing the inside of a hard macro into two or more blocks so that the number of fan-outs may become the same, preparing a clock terminal for every block, and using the property of a clock tree.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the distribution approach of the clock in the configuration of LSI.

[0002]

[Description of the Prior Art] Within the LSI chip, dramatically, operating frequency is high and the clock signal used as the standard of actuation in LSI is used in each part in an LSI chip again. For this reason, by a usual driver and the usual wiring approach, since it was not able to respond to a high fan-out response and signal delay, it was coped with by using a clock tree.

[0003]

[Problem(s) to be Solved by the Invention] However, by the distribution approach

of the clock of the latest LSI, functional FAKUSHON which has the specific function called a hard macro is used more often. In order that this hard macro may realize a specific function, the arrangement location of the transistor which constitutes a circuit, and wiring between transistors are being fixed. by using this hard macro, it is also difficult for the magnitude of a hard macro to be large more than before, and for delay of the clock in a hard macro and the signal differential delay of a hard macro and its circumference circuit to become large, and to cope with it using a clock tree as mentioned above from the configuration of a hard macro -- etc. -- there is a problem.

[0004]

[Means for Solving the Problem] The above-mentioned trouble is canceled by dividing the inside of a hard macro into the part of an input stage, the part of an output stage, and the internal-circuitry part that has the function of a hard macro, constituting so that a signal differential delay may not produce a clock signal in the input part to a hard macro, and it may be made to correspond with said each circuit part and may distribute, and making the signal differential delay of a hard macro and its circumference circuit into the minimum.

[0005]

[The gestalt of operation of this invention] Drawing 1 is the block diagram showing the 1st operation gestalt of this invention. As shown in this drawing, the input terminal of a signal used within the hard macro 1 is collected into one. Then, the circuit of the hard macro 1 is divided into three, the input stage FF section 1-1, the output stage FF section 1-2, and the internal-circuitry section 1-3 that has the function of a hard macro. It is made to correspond to said input stage FF section 1-1, the output stage FF section 1-2, and the internal-circuitry section 1-3, and is made to distribute to three so that a signal differential delay may not produce a clock signal in the input part to the hard macro 1, either.

[0006] Within a hard macro, it becomes possible by distributing in the place included in the hard macro 1, also making a wiring system become independent, and lengthening the clock for input stages, the clock for output stages, and the clock for internal circuitries to treat as three kinds of independent clocks.

[0007] Thus, it becomes possible by separating into the object for the input stage FF sections 1-1 with the small number of fan-outs, and the output stage FF sections 1-2 with the clock for the internal-circuitry sections 1-3 with many fan-outs, and using for them through the buffer 1-4 for clock distribution, in the inlet-port part of the clock terminal CellCLK of the hard macro 1, to make a

differential delay with the circumference circuit of a clock signal into min.

[0008] Although the configuration of the 1st operation gestalt of this invention was explained above, in the case of circuits, such as a hard macro, numbers, such as a flip-flop of the first rank of an input stage, are determined by the number of input pins, and, as for the part of an input stage, numbers, such as a flip-flop of the last stage, are usually similarly determined for the part of an output stage by the number of the output pins.

[0009] Although numbers, such as a flip-flop, change with magnitude of the function in which the hard macro has the part of an internal circuitry, compared with the number of input stages, or the number of output stages, many things of the number are common.

[0010] Drawing 2 is the block diagram showing the 2nd operation gestalt of this invention. With this operation gestalt, as the number of input terminals of the clock to the hard macro of said 1st operation gestalt is shown in this drawing unlike what was summarized to one, it divided every input stage FF section 2-1, output stage FF section 2-2, and internal-circuitry section 2-3, and the input terminal of a clock is provided.

[0011] The object for the input stage FF sections 2-1 and the object for the output stage FF sections 2-2 have prepared the independent input terminal CLK, i.e., the input section, and the independent output section CLK. Moreover, the internal-circuitry section 2-3 with many fan-outs was divided, and provides the clock terminal, i.e., internal CLK-1 - interior CLK-N, so that it may become the number of fan-outs comparable as the input stage FF section 2-1 and the output stage FF section 2-2. Two or more clock terminals for the internal-circuitry sections 2-3 divided with the input stage FF section 2-1, the output stage FF section 2-2, and its number of fan-outs are connected to the clock tree in the LSI chip for which the hard macro 2 is used.

[0012] Thus, the signal differential-delay property of the input terminal of each clock of a hard macro will be controlled by the signal differential-delay property which a clock tree has by having divided the internal-circuitry section 2-3 with many fan-outs so that it might become equal to the number of fan-outs of the input stage FF section 2-1 and the output stage FF section 2-2, and having prepared the input terminal of a clock.

[0013] Drawing 3 is the block diagram showing the 3rd operation gestalt of this invention. With this operation gestalt, as the number of input terminals to the hard macro of said 2nd operation gestalt is shown in this drawing unlike having

divided for every input stage FF section, output stage FF section, and internal-circuitry section, it divided for every block of the sequential circuit of arbitration, and the input terminal of a clock is provided.

[0014] It divided into two or more blocks so that the number of fan-outs of each block of the inside of a hard macro might become the same, and clock terminal CellCLK-1 - CellCLK-N are prepared for every block.

[0015] Each clock terminal is connected to the clock tree in the LSI chip for which the hard macro is used.

[0016] Thus, the signal differential-delay property of the input terminal of each clock of a hard macro will be controlled by the signal differential-delay property which a clock tree has by having divided so that the number of fan-outs of each block of the inside of a hard macro might become equal, and having prepared the input terminal of a clock lock.

[0017] As explained above, the 3rd operation gestalt showed the example applied to clock distribution on the hard macro in an LSI chip from the 1st operation gestalt, but this invention can be similarly applied to the block which cannot use a clock tree within an LSI chip (for example, when it cannot be used by number limit of the clock tree in an LSI chip etc.).

[0018]

[Effect of the Invention] It becomes possible by separating into the object for the input stage FF sections with the small number of fan-outs, and the output stage FF sections with the clock for the internal-circuitry sections with many fan-outs, and using for them through a buffer, in the inlet-port part of the clock terminal of a hard macro, to make a differential delay with the circumference circuit of a clock signal into min.

[0019] the signal differential delay property of the input terminal of each block of a hard macro become possible [ being able to acquire the effectiveness of be control by the signal differential delay property which a clock tree have , therefore make the signal differential delay of a hard macro and its circumference circuit section into the minimum ] by having divide the internal circuitry part with many fan-outs so that it might become equal to the number of fan-outs for a part for an input step , and an output step , and having prepare the input terminal of a clock .

---

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-146655

(43) 公開日 平成9年(1997)6月6日

(51) IntCl.<sup>6</sup>

G 0 6 F 1/10

識別記号

庁内整理番号

F I

G 0 6 F 1/04

技術表示箇所

3 3 0 A

審査請求 未請求 請求項の数 3 O L (全 4 頁)

(21) 出願番号 特願平7-281512

(22) 出願日 平成7年(1995)10月30日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 阿久津 滋聖

東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内

(72) 発明者 岡本 康史

東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内

(72) 発明者 高橋 徳明

東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内

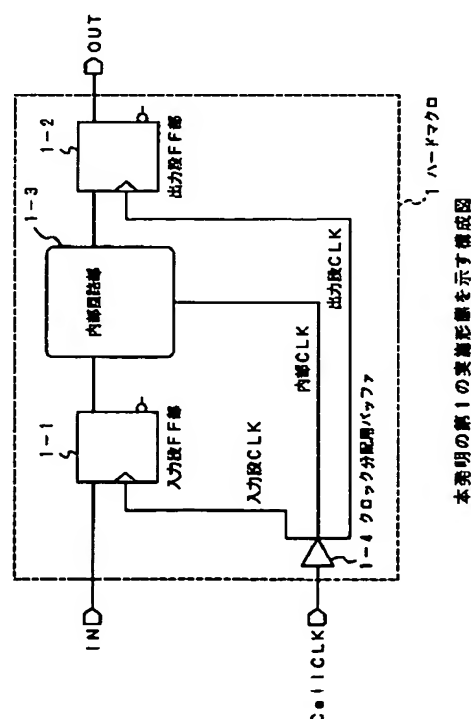
(74) 代理人 弁理士 鈴木 敏明

(54) 【発明の名称】 クロック分配方法

(57) 【要約】

【課題】 最近のLSIのクロックの分配方法ではハードマクロと呼ばれる特定の機能を有する機能ファクションを用いていることが多くなっているが、従来以上にハードマクロの規模が大きくなっており、ハードマクロ内のクロックの遅延、及びハードマクロとその周辺回路との信号遅延差が大きくなる等の問題がある。

【解決手段】 ハードマクロ内を入力段の部分と、出力段の部分と、ハードマクロの機能を有する内部回路部分とに分割し、クロック信号をハードマクロへの入力部分で信号遅延差が生じないように前記各回路部分と対応させて分配するように構成し、ハードマクロとその周辺回路との信号遅延差を最小限にすることにより、上記問題を解消する。



#### 【特許請求の範囲】

【請求項１】 ハードマクロとその周辺回路部との信号遅延差を最小にするための手段として、

ハードマクロ内を入力段の部分と、出力段の部分と、ハードマクロの機能を有する内部回路部分とに分割し、クロック信号をハードマクロへの入力部分で信号遅延差が生じないように前記各回路部分と対応させて分配するように構成したことを特徴とするクロック分配方法。

【請求項２】 クロックの入力端子数を、入力段部、出力段部、及びファンアウト数が多い内部回路部には入力段部及び出力段部と同等程度のファンアウト数となるように分割してクロック端子を設け、クロックツリーの特性を用いることを特徴とする請求項１記載のクロック分配方法。

【請求項３】 ハードマクロ内をファンアウト数と同じになるように複数ブロックに分割し、各ブロックごとにクロック端子を設け、クロックツリーの特性を用いることを特徴とする請求項１記載のクロック分配方法。

#### 【発明の詳細な説明】

##### 【０００１】

【発明の属する技術分野】 本発明はＬＳＩの構成におけるクロックの分配方法に関する。

##### 【０００２】

【従来の技術】 ＬＳＩ内の動作の規準となるクロック信号は、ＬＳＩチップ内で非常に使用頻度が高くまた、ＬＳＩチップ内の各部分で使われている。このため通常のドライバ及び配線方法では高ファンアウト対応及び信号遅延に対して対応できないため、クロックツリーを用いることにより対処していた。

##### 【０００３】

【発明が解決しようとする課題】 しかし、最近のＬＳＩのクロックの分配方法ではハードマクロと呼ばれる特定の機能を有する機能ファクションを用いていることが多くなっている。このハードマクロとは特定機能を実現するために、回路を構成するトランジスタの配置位置及びトランジスタ間の配線が固定されているものである。このハードマクロを使用することにより、従来以上にハードマクロの規模が大きくなっており、ハードマクロ内のクロックの遅延、及びハードマクロとその周辺回路との信号遅延差が大きくなり、又、ハードマクロの構成上から上記のようにクロックツリーを用いて対処することも困難である等の問題がある。

##### 【０００４】

【課題を解決するための手段】 ハードマクロ内を入力段の部分と、出力段の部分と、ハードマクロの機能を有する内部回路部分とに分割し、クロック信号をハードマクロへの入力部分で信号遅延差が生じないように前記各回路部分と対応させて分配するように構成し、ハードマクロとその周辺回路との信号遅延差を最小限にすることにより、上記の問題点を解消する。

##### 【０００５】

【本発明の実施の形態】 図１は本発明の第１の実施形態を示す構成図である。同図に示すように、ハードマクロ１内で用いる信号の入力端子は１つにまとまっている。そこでハードマクロ１の回路を入力段ＦＦ部１－１と、出力段ＦＦ部１－２と、ハードマクロの機能を有する内部回路部１－３との３つに分割する。クロック信号もハードマクロ１への入力部分で信号遅延差が生じないように前記入力段ＦＦ部１－１と、出力段ＦＦ部１－２と、内部回路部１－３とに対応させて３つに分配させる。

【０００６】 入力段用のクロックと出力段用のクロック及び内部回路用のクロックを、ハードマクロ１に入ったところで分配し、配線系統も独立させて引くことにより、ハードマクロ内では３種類の独立したクロックとして扱うことが可能となる。

【０００７】 このように、ファンアウト数の小さい入力段ＦＦ部１－１用及び出力段ＦＦ部１－２用にハードマクロ１のクロック端子ＣｅｌｌＣＬＫの入口部分で、クロック分配用バッファ１－４を介してファンアウト数の多い内部回路部１－３用クロックと分離して用いることにより、クロック信号の周辺回路との遅延差を最小にすることが可能となる。

【０００８】 以上本発明の第１の実施形態の構成を説明したが、通常、ハードマクロなどの回路の場合、入力段の部分はその入力ピン数によって入力段の初段のフリップフロップ等の数が決定されており、同様に出力段の部分もその出力ピンの数によって最終段のフリップフロップ等の数が決定されている。

【０００９】 内部回路の部分は、そのハードマクロが有している機能の規模によってフリップフロップ等の数が異なってくるが、その数は入力段での数や出力段での数に比べて多いことが一般的である。

【００１０】 図２は本発明の第２の実施形態を示す構成図である。本実施形態では、前記第１の実施形態のハードマクロへのクロックの入力端子数を１つにまとめたものとは異なり、同図に示すように入力段ＦＦ部２－１、出力段ＦＦ部２－２及び内部回路部２－３ごとに分けてクロックの入力端子を設けている。

【００１１】 入力段ＦＦ部２－１用及び出力段ＦＦ部２－２用は独立した入力端子即ち入力部ＣＬＫ及び出力部ＣＬＫを設けている。また、ファンアウト数が多い内部回路部２－３は、入力段ＦＦ部２－１及び出力段ＦＦ部２－２と同程度のファンアウト数となるように、分割してクロック端子即ち内部ＣＬＫ－１～内部ＣＬＫ－Ｎを設けている。入力段ＦＦ部２－１、出力段ＦＦ部２－２及びそのファンアウト数によって分割された内部回路部２－３用の複数のクロック端子は、そのハードマクロ２が用いられるＬＳＩチップ内のクロックツリーに接続される。

【００１２】 このように、ファンアウト数の多い内部回



路部 2-3 を、入力段 F F 部 2-1 及び出力段 F F 部 2-2 のファンアウト数と等しくなるように分割してクロックの入力端子を設けたことにより、ハードマクロの各クロックの入力端子の信号遅延差特性はクロックツリーが持つ信号遅延差特性により制御されることになる。

【0013】図3は本発明の第3の実施形態を示す構成図である。本実施形態では前記第2の実施形態のハードマクロへの入力端子数を入力段 F F 部、出力段 F F 部、及び内部回路部ごとに分けたのとは異なり、同図に示すように、任意の順序回路のブロックごとに分けてクロックの入力端子を設けている。

【0014】ハードマクロ内を各ブロックのファンアウト数が同じになるように複数のブロックに分割して、各ブロックごとにクロック端子 C e l l C L K - 1 ~ C e l l C L K - N を設けている。

【0015】各クロック端子は、そのハードマクロが用いられる L S I チップ内のクロックツリーに接続される。

【0016】このように、ハードマクロ内を各ブロックのファンアウト数が等しくなるように分割してクロックの入力端子を設けたことにより、ハードマクロの各クロックの入力端子の信号遅延差特性はクロックツリーが持つ信号遅延差特性により制御されることになる。

【0017】以上説明したように、第1の実施形態から第3の実施形態では L S I チップ内のハードマクロでのクロック分配に適用した例を示したが、L S I チップ内でクロックツリーを使用できないブロック（例えば L S I チップ内のクロックツリーの本数制限によって使用で

きない場合など）に対しても同様に本発明を適用することができる。

【0018】

【発明の効果】ファンアウト数の小さい入力段 F F 部用及び出力段 F F 部用にハードマクロのクロック端子の入口部分で、バッファを介してファンアウト数の多い内部回路部用クロックと分離して用いることにより、クロック信号の周辺回路との遅延差を最小にすることが可能となる。

【0019】ファンアウト数の多い内部回路部分を、入力段部分及び出力段部分のファンアウト数と等しくなるように分割してクロックの入力端子を設けたことにより、ハードマクロの各ブロックの入力端子の信号遅延差特性はクロックツリーが持つ信号遅延差特性により制御されることになる等の効果を得ることができ、従ってハードマクロと、その周辺回路部との信号遅延差を最小限にすることが可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態を示す構成図

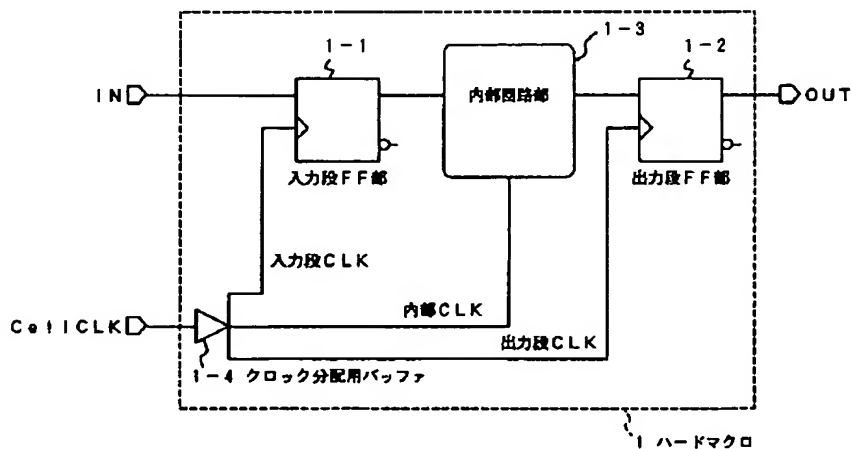
【図2】本発明の第2の実施形態を示す構成図

【図3】本発明の第3の実施形態を示す構成図

【符号の説明】

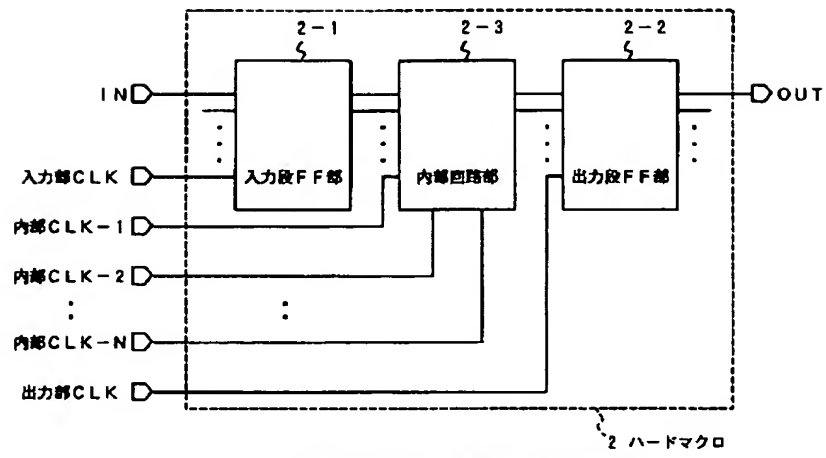
1, 2, 3	ハードマクロ
1-1, 2-1	入力段 F F 部
1-2, 2-2	出力段 F F 部
1-3, 2-3	内部回路部
1-4	クロック分配用バッファ

【図1】



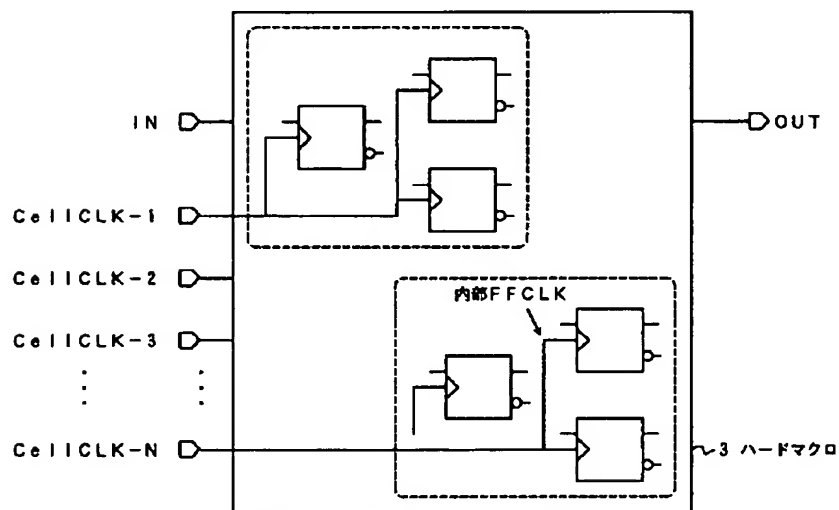
本発明の第1の実施形態を示す構成図

【図 2】



本発明の第 2 の実施形態を示す構成図

【図 3】



本発明の第 3 の実施形態を示す構成図